

ロー・パワー・デザイン 特別企画 第2弾

第3章

携帯型機器向け電源ICの低消費電力技術

―― 携帯型機器とともに歩む LDO電圧レギュレータ技術の軌跡

池田亜紀，小林貴司

ここでは，携帯型機器向けの電源IC（CMOS LDO）に採用されている低消費電力技術について解説する．最近の電源ICは，CPUなどが備える低消費電力モードに対応している．外部負荷を監視しながら，これらのモードを自動的に切り替える電源ICも使われている．また，携帯型機器の小型化・多機能化にけん引される形で，低入力電圧動作，低ON抵抗，高リプル除去率を実現する電源ICの製品化が進んでいる．（編集部）

「低消費電力設計」は，携帯型機器を開発する際にもっとも重要なキーワードとして取り上げられることばです．低消費電力化を進めることで，電池寿命を延ばせるだけでなく，電池の小型化や，それに伴う機器そのものの小型化，軽量化を実現することが可能となるからです．

本稿では，携帯型機器の低消費電力化設計について，とくに電源ICの働きや技術の変遷に焦点を絞って説明していきたいと思います．

● 携帯型機器の低消費電力化を支えるCMOS LDO

携帯型機器（実は，すべての電子機器について言えることだが…）の中で使われている半導体について考えてみると，非常に大ざっぱですが，次の2種類に分けることができます．

a）その製品のさまざまな機能を実現するために必要とされるデバイス

b）a）のデバイスが正常に動作するために必要な電力を供給するデバイス，あるいはその動作を監視するデバイス

a）に属するデバイス群は，機器を開発するうえで必要不可欠なものであり，いわば主役となるものです（以降，これを「メイン・デバイス」と呼ぶ）．もちろん低消費電力設計を目標とするうえで，これらのデバイスにも「低消費電力であること」が要求されます．しかし，現状，回路の高速化に伴って，メイン・デバイスの自己消費電流（デバイスそのものの消費電流）は増加する傾向にあります．ただし，いくら消費電流が増加しようとも，「これらのデバイスを省く」という選択肢はありえず，かならず機器に搭載されることになります．

一方，いわゆる電源ICと呼ばれるものは，**b）**に属します（p.70のコラム「電源回路は『壁の花』？」を参照）．通常，同じような特性をもった電源ICは数種類あります．必要な特性を備え，自己消費電力の小さい電源ICを選ぶことが，低消費電力設計の一つの方針となります．

では低消費電力設計のために，単純に，カタログ上の消費電力値のもっとも小さい電源ICを選択すればよいのでしょうか？ 例えば，基準電圧源のように一定の電圧と電流だけが要求されるような部分では，このような選択で問題ないでしょう．しかし，一般には上述のメイン・デバイスで消費される電流は大きく変動することが少なくありません．これを安定動作させるために，負荷過渡応答特性[注1]に優れたLDO（low drop-out）[注2]と呼ばれる電圧レギュレータが選択されます．

注1：電源ICの負荷電流が急激に変化したときにオーバシュート/アンダシュートの電圧幅や変動時間を小さく抑え，一定の出力電圧を維持させることができる特性．

注2：もともとの意味は，「入出力電圧差が小さい（low drop-out）電圧レギュレータ」だが，リプル除去率や過渡応答特性が優れていることも要求される．

KeyWord
負荷過渡応答特性，LDO，電圧レギュレータ，リプル除去率，ECO機能，DC-DCコンバータ，低ON抵抗
スイッチング・レギュレータ



LDOはその要求特性を実現するために，IC内部の回路（アンプなど）を高速に動作させる必要があります．このため，一般に，通常の電圧レギュレータよりも自己消費電力が大きくなっています．

話をわかりやすくするために，携帯電話の例を考えてみましょう．ただ持ち歩いているだけで，メイン・デバイスがアクティブに動作しているとは言えない状態，いわゆる待ち受け時は，メイン・デバイスの消費電力は非常に小さくなります．それなのに，自己消費電力の大きいLDOを使うということは，そのときの消費電力に占める無効電力の割合を上昇させることになり，待ち受け時間を延ばすことに対する妨げになりかねません．CPUと関連するメモリも，書き込み・読み出しのとき以外は，消費電流は大きくありません．メモリにアクセスしていないときは，LDOなどで貴重な電力を消費したくないでしょう．また，通信ブロックも電源が入っていると待機状態になりますが，通話や通信のないときの電源ブロックでは1μAたりとも消費したくないのが実情だと思います．このため，以前から，「いかにしてこの電源部分の低消費電力化を実現するか」ということが重要な課題となっています．

かなり以前の話になりますが，かつてLDOといえば，バイポーラまたはバイポーラCMOS（Bi-CMOS）のプロセスで作られたデバイスがほとんどでした．このため，特性は申し分ないものの，自己消費電力が比較的大きい，という問題を抱えていました．

筆者ら（リコー）は，CMOSプロセスによる電源ICの開発を行っており，低消費電力化を最大の目標としてきました．かつては，CMOSプロセスで作られた電源ICは応答性などで劣ると言われていました．そこで，携帯型機器に要求される低消費電力を実現するため，筆者らは過渡応答特性に優れたCMOS LDOデバイスの開発に取り組み，成果を上げてきました．CMOS LDOの製品化により，携帯型機器の低消費電力化に貢献できたのですが，近年，機器の機能が複雑になってきたことや，メイン・デバイスの低電圧化により，新たな課題が生まれてきています．

以下では，筆者らが取り組んできたCMOS LDOの課題とその対策について述べます．

● スリープ・モードに対応できていなかった

携帯型機器の機能が複雑になってきたことから，低消費電力化を実現するために，ブロックごとの細かい電源制御が重要視されるようになってきました．多くの場合は，単純に電源ICをON/OFFすることで電源制御を行うことになります．しかし，メイン・デバイスから3モードの電源制御が要求される場合がでてきました．これは，メイン・デバイスが，ON，スリープ（sleep），OFFの三つのモードを持っているためです．

では，それぞれのモードでどのような特性が電源ICに要求されるのかを考えてみたいと思います．

- **ONモード** ── 動作するために必要な電圧と電流を供給するだけでなく，負荷電流が大きく変動する場合があるため，負荷過渡応答特性に優れていることが望まれる．また，入力過渡応答特性やリプル除去率[注3]に優れていることが求められることも多い．
- **スリープ・モード** ── 動作を保持できるだけの一定の電圧と電流を供給できればよい．自己消費電流については，

注3：電源の入力にリプルが重畳されたとき，出力でそれをどの程度除去できるかを示す値．周波数や内部回路により，実力値が異なる．

コラム　電源回路は「壁の花」？

AC電源，電池などの違いはありますが，電子機器は外部から電源を供給されて動くものです．電源回路がなければその機器は動作しないわけで，もっとも重要な回路が電源部とも言えます．

一方で，製品価値を上げるために，電子機器にはさまざまなディジタル機能が追加され，複雑なソフトウェアが組み込まれます．となると，どうしてもこうした部分を重視して製品の開発が進められます．そして全体像が決まったあと，少ない残り時間で製品の仕様に合うように電源部の開発を行う，といった状況をよく見かけます．部品の一つ一つを見直す時間などなく，前の機種の設計をそのまま踏襲することも多いようです．

また，人材についても，ディジタル系やソフトウェア系には比較的多くの技術者が配置されますが，電源部の人材は後回しにされがちです．

電子機器にとって電源は（機器全体に電気を供給する）心臓部であるはずなのですが，実際には置き去りにされてしまっています．この電源部に積極的に手をさしのべれば，すばらしい発見があるかもしれません．

極力小さいものが求められる．
- **OFFモード** —— 超低消費電流のスタンバイ機能が必要とされる．

一般に，電源ICはONとOFFの2モードしか備えておらず，一つの電源ICで上記の3モードに100％対応することは非常に困難です．自己消費電流の非常に小さいLDOが開発されていれば問題ないのですが，残念ながら，現時点ではこのような電源ICは存在しません．ではどのように対応すればよいのでしょう？ ここで，二つの対処法が考えられます．

一つ目は，**図1**のように2種類の電源IC（LDOと電圧レギュレータ）を並列に配置し，それぞれをONモード用電源，スリープ用電源として切り替えて使用する方法です．二つ目は，ONもしくはスリープのどちらかのモードに合わせて（ON時の特性に合わせるケースがほとんど）電源ICを選択するという方法です．一般には，この2通りのどちらか一方を選択して対応しています．

ただし，一つ目の場合，二つの電源ICを使用するために実装面積が大きくなり，コストも高くなってしまいます．価格競争が厳しく，小型化を追求する携帯型機器にとっては，大きなマイナス要因となってしまいます．二つ目の場合は，ON状態とスリープ状態の時間的な長さを比べ，相対的にスリープ状態が長い場合には，それだけむだな電力を消費していることになります．これは，低消費電力設計の観点から，マイナス要因となってしまいます．

● 外部制御信号による切り替えでスリープ・モードに対応

「なんとかこの問題を一つの電源ICでクリアできないものか？」との発想から生まれたのが，“ECO”と呼ばれる機能です．これは，単純に言うと，一つのICチップ上に**図1**の構成をまるごと取り込んでしまえばよい，という考えかたです．ただし，IC化する際には面積的な制約があるため，以下で述べる方法をとりました．

図2(a)が電源ICの一般的なブロック図です．これに対しECO機能を取り込んだブロック図は**図2(b)**のようになります（いずれも概念図）．2種類の特性を実現するため，高速応答用と低消費電流用の2種類のアンプを搭載し，外部の制御信号によって動作するアンプを切り替えることにしました．ほかの回路部分は切り替える必要がないので，共有化しています．

このようにして，第1世代のECO機能付きLDOが出荷されました．ある時期には，一つの携帯電話の中に何個もこのECO機能付きLDOが採用されていたことがありました．外部信号によってECO機能を切り替えることで低消費電力化を図る，というこの方法は，現在でも引き続きユーザによって採用されています．

● 端子制御から自動モード切り替えへ

しかし，携帯型機器の高機能化がさらに進み，システムが複雑になるにつれて，新たな問題が生じています．CPUで制御しなければならない周辺回路があまりにも多くなりすぎ，制御信号線が不足し始めたのです．このため，電源ICのモードを切り替えるためだけに，制御信号を割り当てられないケースがでてきました．ここで要求されたのが，

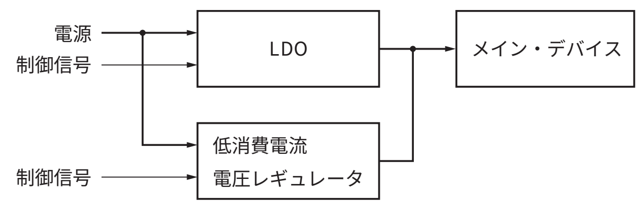
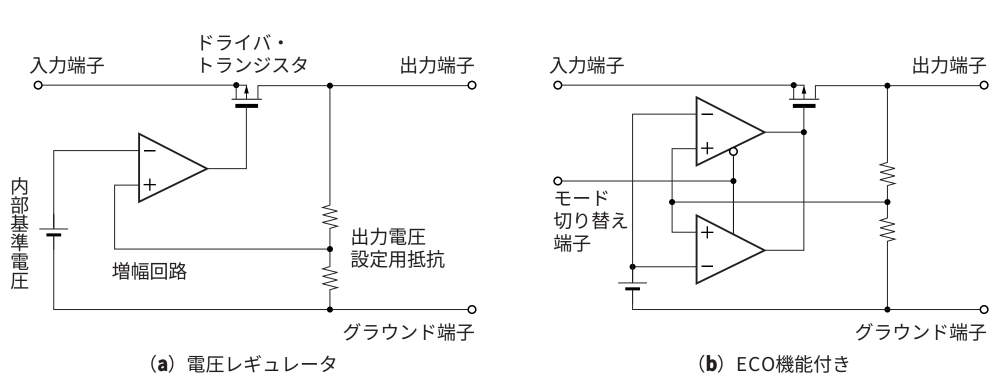


図1 電源ICの並列接続回路
後段のメイン・デバイスのモードによって使用する電源を選択し，切り替えて使用する．

図2 電圧レギュレータ（概念図）
ECO機能付き電圧レギュレータは，(b)のように高速応答用と低消費電流用の2種類のアンプを搭載し，外部信号により動作するアンプを切り替えている．ほかの回路部分は切り替える必要がないので，共有化している．





「モードの自動切り換え」という機能でした．筆者らは，以下の2通りの自動切り換え方式を採用し，電源ICに組み込んでいます．

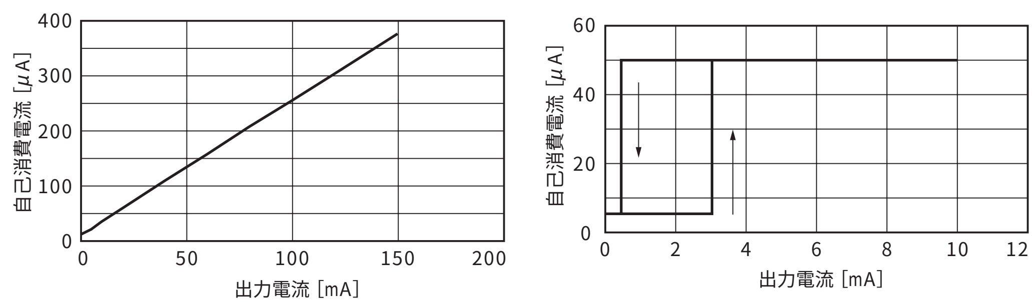
- **シームレス切り替え**—— 出力電流値をモニタし，その値を内部にフィードバックすることで，内部の消費電流（アンプの速度）を自動調整する（**図3（a）**）
- **電流しきい値切り替え**—— アンプの応答速度をある出力電流値により切り替える．誤動作を防止するため，切り替え電流値にはヒステリシス幅を持たせる（**図3（b）**）

このように，現在，筆者らは，外部制御信号で切り替える「（ECO）端子切り替え」，自動の「シームレス切り替え」，「電流しきい値切り替え」という3種類のECO機能付きLDOを出荷しています（**図4**）．ここで，三つの方式が三つとも生き残っているのはなぜだろう，と思われるかもしれません．各方式には，それぞれメリットとデメリットがあります．それは非常に細かい部分の違いによるもので，システム設計者（ユーザ）は必要に応じて適切なものを選択しています．**表1**にそれぞれのメリットとデメリットをまとめます．

● 低電圧化に伴い，DC-DCとLDOの2段構成に

上記のECOモードの開発とほぼ並行して筆者らが進めてきたのが，低入力電圧を受け入れられるLDOの開発です．

かつて，メイン・デバイスの動作電圧が3V系であったころは，**図5（a）**のように機器の内部にある5Vライン，ま



（a）シームレス切り替え　（b）電流しきい値切り替え

図3
自動切り替えタイプの出力電流と自己消費電流の特性例
（a）のシームレス切り替えでは，出力電流の変化に合わせて，線形に消費電流が変化する．（b）の電流しきい値切り替えでは，誤動作を防止するため，「低速から高速」，「高速から低速」のそれぞれの電流切り替えを異なる値に設定している．

表1
各方式のメリットとデメリット

		メリット	デメリット
端子切り替え		低消費電力モードのときは，ほかの方式より自己消費電力を減らせる．応答特性の良いモードとそうでないモードがはっきりと分かれているため，機器の動作時の電源特性による誤作動のリスクがきわめて少ない	端子による制御が必要
自動切り替え	シームレス切り替え	端子による制御が不要	シームレス動作のためにつねに稼働させておく回路があるため，低消費電力モードのときの自己消費電力は，端子切り替えタイプほど小さくできない
	電流しきい値切り替え	端子による制御が不要	電流しきい値をまたぐ負荷過渡応答については，あまり改善できない

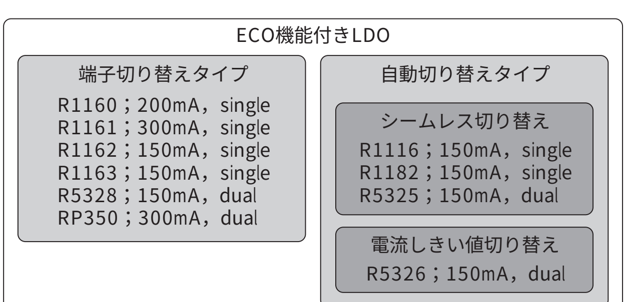
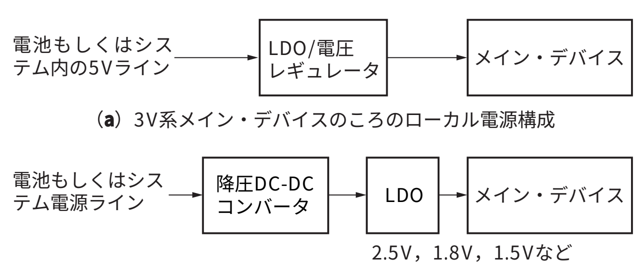


図4　ECO機能付きLDOの分類
筆者らは3種類のECO機能付きLDOを出荷している．



（a）3V系メイン・デバイスのころのローカル電源構成

（b）メイン・デバイスが低電圧化して以降，多く見られるようになった電源構成

図5　電源構成のトレンド
メイン・デバイスの電源が3V系だったころは，ある程度の効率を確保でき，安価で簡単な（a）の構成が好まれた．その後，低電圧化が進み，高効率を実現する必要性から，（b）のような降圧DC-DCコンバータ（1.8V，1.5V，1.25V）とLDOの2段構成が利用されるようになった．

たは電池（Liイオン2次電池の1セルなど）から，電源IC（LDO）を介して電源が供給される回路構成が一般的でした．これは，LDOの自己消費電流をほとんど無視できると仮定した場合（自己消費電流が負荷電流に対して十分に小さい），5Vラインからでも60％前後の効率を確保できたためです．また，Li 1次電池の1セルからであれば，80％程度の効率を確保できます（電池の平均電圧を3.6V程度とした場合）．

しかし，メイン・デバイスの動作が高速になり，高集積化が進むにつれて，製造プロセスの微細化が進みました．これに伴って，メイン・デバイスの動作電圧は1.8Vから1.5V，1.25Vへと低下してきており，今後さらに1.1V以下になるところまで低電圧化が進行しています．

ここまでメイン・デバイスの動作電圧が低下してくると，今までのように主電源（5Vラインや電池）から，LDOで直接電源電圧を作って供給するという方式では，高効率を維持できなくなります．このため，低消費電力設計を目標とした場合，**図5（a）**の回路構成をまったく受け入れられないケースがでてきました．

代わりに，ここ数年，よく採用されているのが，**図5（b）**のような回路構成です．まずは，高効率を実現できる降圧のDC-DCコンバータ（スイッチング・レギュレータ）でいったんある電圧に落とし，続いてその電圧からLDOでメイン・デバイスの動作電圧を作ります．

ここで，DC-DCコンバータによって，直接メイン・デバイスへ電圧を供給するという方法も考えられます．しかし，最近では低電圧動作のブロックが増えており，それをすべて個別のDC-DCコンバータで給電しようとすると，たいへんなコスト高になってしまいます．

このため，メインのDC-DCコンバータの出力にLDOをいくつかぶら下げる方式がとられています．降圧DC-DCコンバータは，**図6**のように分配器のような役割を果たします．これにより，消費電力の細かい最適化が可能となり，安定した電圧を供給できるようになります．

● 1V電源時代のLDOが抱える三つの課題

では，DC-DCコンバータの出力電圧（LDOの入力電圧）は，何Vに設定するのが適切といえるのでしょう？ 低消費電力を目標としているので，DC-DCコンバータにより，できる限りメイン・デバイスの動作電圧付近まで電圧を下げることが理想です．そうすれば，2段目のLDOの熱損失をきわめて小さくできるからです．

ではこのときの2段目のLDOには，どのような特性が求められるのでしょう？ 以下の二つの要求が考えられます．

- **低電圧動作** ── DC-DCコンバータの出力電圧で動作しなければならないため
- **入出力電圧差が小さい** ── ON抵抗の小さいドライバが必要になる．これは，「ON抵抗×出力電流」が，そのまま入出力電圧差になるため

低消費電力化を実現するには，この二つの項目を満足することが必須です．しかし，こうした特性を満たすCMOS LDOは，これまでありませんでした．そこで筆者らは，このような特性を持つCMOS LDOの開発に取り組みました．

LDOの三つのブロック（**図7**）について，それぞれの課題を以下に示します．

1）差動アンプの入力段の課題

LDOの出力電圧が低電圧となるため，電圧設定用抵抗で分圧された電圧はさらに低い電圧となります．このため，差動アンプの入力に使われる基準電圧源（V_{ref}）にも低電圧化が要求されることになります．

2）増幅回路段の課題

IC内部の差動アンプの電源電圧は，LDOへの入力電圧，

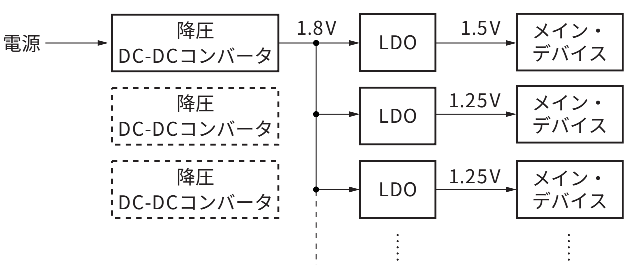


図6　分配器型の低電圧電源構成
大電流タイプのDC-DCコンバータを初段に使用している．これにより，それぞれの電源ライン上にDC-DCコンバータを配置する必要がなくなる．

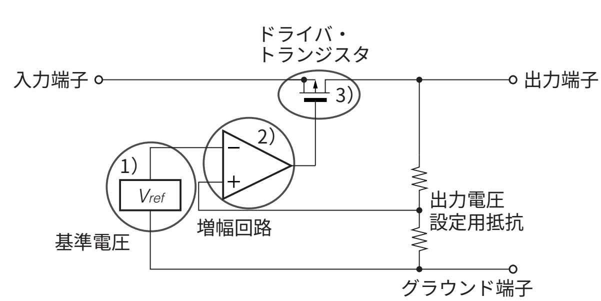


図7　LDO電圧レギュレータの課題
低電圧化に対応するために課題となっているブロックを示した．

3



すなわちDC-DCコンバータの出力電圧(1.8Vや1.5Vとその許容差程度を想定)となります. 低い動作電圧であっても, 高リプル除去率や優れた負荷過渡応答性を実現するために, 十分なゲインが確保されている必要があります.

3) 出力段の課題

入出力電圧差を小さくするため, ドライバFET(field effect transistor)のON抵抗は小さくなければなりません. しかも入力電圧が低くなっているため, 低V_{GS}(ゲート・ソース間電圧)における低ON抵抗の実現が求められます.

● 低入力電圧に絞ることで三つの課題をクリア

これらの課題はごくあたりまえの事がらなのですが, あらためて解決しようとすると, 非常に難しい問題でした. これらの課題をクリアする重要なかぎとなったのは, 筆者らが長年取り組んできたアナログ・ディジタル混載(ミックスト・シグナル)LSIの開発技術でした.

ページャ(ポケベル)が全盛だった時代から, 通信業界では低消費電力化が強く要求されており, 筆者らのCMOS電源ICはその要求にこたえてきました. また, その一方で, ディジタルLSIにおいても筆者らは, 通信分野と深いつながりを持っていました. 筆者らの技術は, 通信手段がページャから携帯電話へと変わっていった後も, 通信業界と深くかかわり続けています.

携帯電話は小型化・軽量化が進みましたが, これに伴って基板面積が削減されていきました. その中で出てきた要求が, 部品の集積化(複合化)でした. そして, おもに電源ICの1チップ化が進みました. 携帯電話のさらなる小型化や, カメラなどのさまざまな機能を取り込むことにより, 基板面積に関する制約は年々厳しくなりました. ディジタルLSIとアナログIC(電源IC)の両面で通信分野とかかわってきた筆者らは, 次に要求されるのはアナログ・ディジタル混載だろうと考え, こうしたLSIの開発にいち早く取り組みました. これは, 動作電圧の上限を限定できる携帯電話という市場に特化することによって生まれた技術と言えます. この技術を汎用の電源ICに応用するという発想が, 製品化を進めるうえでのかぎとなりました.

仕様を決めるにあたっては, まず, 低入力電圧に絞ることを考えました. これまでの電源ICは汎用製品という位置づけだったため, ある程度広い入力電圧範囲に対応する必要がある, ということが前提とされていました. しかし, このような既成概念にとらわれるのではなく, 電源回路の2段目(DC-DCコンバータの後段)に配置されることを前提として, 入力電圧範囲を広げず, 低電圧動作に重点を置くことにしました. また, ディジタルLSIに使用していた微細なプロセスを利用することにしました.

最終的に, 以下の特性を備える電源IC(R1172/73)を開発しました.

- 低入力電圧動作：1.4Vから動作可能
- 低ON抵抗　　：320mΩ, V_{in} = 1.5V
- 高リプル除去率：60dB, V_{out} = 1.5V

この電源ICを開発している間に, DC-DCコンバータの高周波化が進み, リプルの除去については外付け部品のコンデンサに任せる領域になりつつあります. 今後, さらなる入力電圧の低電圧化に対応することも, すでに理論的には可能となっています.「これ以上の低電圧になったとき, 低消費電流との両立のために何ができるか？」を考えることが, 今後の電源ICメーカとしての筆者らの課題になってくると思います[注4].

注4：ここで述べたこと以外にも, 逆流防止回路のリーク電流を抑えたもの, OFF時のすばやい電源立ち下がり特性を実現するための自動ディスチャを抑えながら, 立ち上がりが遅くならないような回路を搭載したものなど, さまざまなくふうを取り入れて, 今日の製品ラインナップとなっている.

こばやし・たかし
いけだ・あき
(株)リコー　電子デバイスカンパニー 製品統括部

<筆者プロフィール>

小林貴司. 入社当初は電源ICの設計を行っていたが, 性格的に合わないことを自覚し, FAEとして活動を始め, 今に至る. 不必要にがっちりとした体型と短髪のため, お客さま訪問時に, 守衛所にて時々けげんな顔をされることがないとはいえない.
池田亜紀. 入社当初は, ディジタルICのテスト開発を担当. その後アナログ電源担当となり, 半導体営業の必要条件である汎用電源の技術サポートとマーケティングを担当している.